

高集積かつ高信頼なFPGAアーキテクチャ

FPGA Architecture with High Density and Reliability

キーワード : FPGA、3次元積層、耐故障性 / key words: FPGA, 3D stacking, fault tolerant

尼崎 太樹 助教 Ph.D. / **Motoki AMAGASAKI** Assistant Prof., Ph.D.

情報・エネルギー部門 コンピュータ工学分野 / Research Field of Computer Engineering

E-mail : amagasaki@cs.※ Tel : 096-342-3627 URL : http://www.arch.cs.kumamoto-u.ac.jp

●レイヤ間接続を最小化した3次元FPGA

LSIの性能向上の手段として、微細化に依存しない3次元積層技術が注目を集めている。しかし、FPGAを3次元化する手段が提案されて久しいが、水平配線に比べて数十倍面積が大きい垂直配線をどこに何本使用するのか未だに定かではない。本研究では、レイヤ間の接続本数を最小化した3次元FPGAアーキテクチャ（空間分散型、機能分散型の2種類）を探索し、その回路実装ツールの開発を行っている。

●高ソフトウェア耐性をもつFPGA

トランジスタサイズの微細化により、メモリに対するソフトウェアの影響が顕著になってきている。特にFPGAは回路情報を構成メモリに格納するため、構成メモリ上でソフトウェアが起こることは回路情報が書き換わることを意味する。そこで本研究では低面積・高信頼性を両立したソフトウェア耐性機構の開発を行っている。他にもチップ上の複数個所に故障を引き起こすMBUの発生シミュレータを開発し、FPGA上のMBU低減にも挑戦している。

Three dimensional FPGA architecture : To balance between cost and performance, and to explore 3D field-programmable gate array (FPGA) with realistic 3D integration processes, we propose spatially distributed and functionally distributed types of 3D FPGA architectures. The goal of this study is to elucidate the advantages and disadvantages of these two types of 3D FPGAs.

Soft error tolerant FPGA architecture: Due to reaching the nanoscale transistor size, effect of single event upset (SEU) to the memory has become conspicuous. In this research, we propose DMR based error correct circuit and employ a combination of proposed circuit and the interleaving technique to mitigate MBU. In addition, we denote soft error simulator developed to calculate bit interleaving distance.

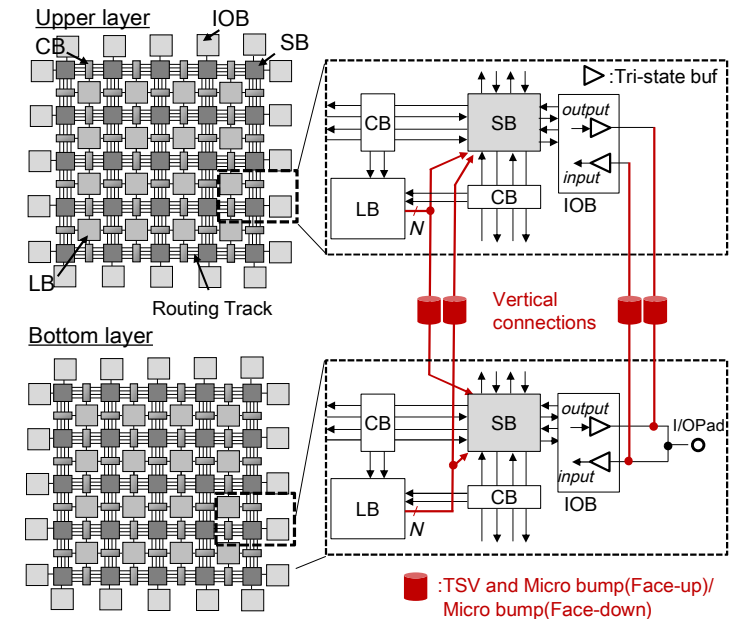


Figure 1 SEM image of porous piezoelectric film

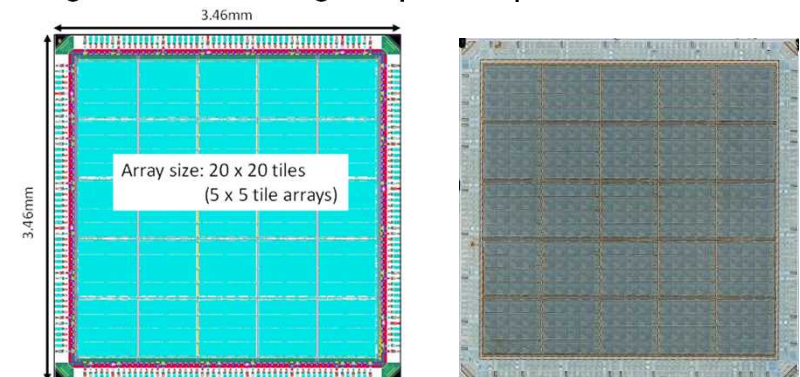


Figure 2 Chip layout and photo